

Docket No.: 57454-948

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Tomohide TERASHIMA : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: August 26, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. JP2003-062927, Filed on March 10, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: August 26, 2003

57454-948
Tomohide TERASHIMA
August 26, 2003

日本国特許 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2003年 3月10日

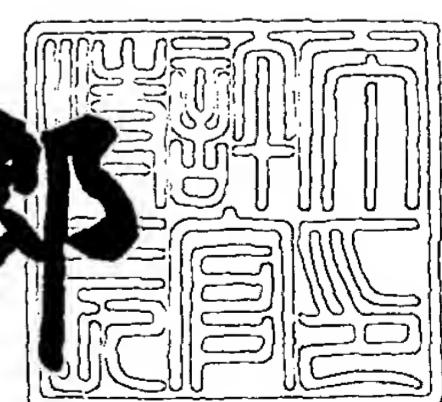
出願番号
Application Number: 特願2003-062927
[ST.10/C]: [JP2003-062927]

出願人
Applicant(s): 三菱電機株式会社

2003年 4月 4日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023540

【書類名】

特許願

【整理番号】

542659JP01

【提出日】

平成15年 3月10日

【あて先】

特許庁長官殿

【国際特許分類】

H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 寺島 知秀

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半導体基板の主表面に対して垂直な方向から見たときに、素子形成領域を取り囲むとともに、一の素子形成領域と他の素子形成領域とを電気的に分離する素子分離部と、

前記素子形成領域に設けられた複数の素子とを備えた半導体装置であって、

前記複数の素子は、ラッチ回路のハイサイドスイッチとして機能する、第1の電界効果型トランジスタおよび第2の電界効果型トランジスタを含み、

前記半導体装置は、前記第1の電界効果型トランジスタおよび前記第2の電界効果型トランジスタのうちいずれか一方の下側が完全に空乏化され状態で使用され、

前記第1の電界効果型トランジスタと前記第2の電界効果型トランジスタとは、ソース領域またはドレイン領域が共用されている、半導体装置。

【請求項2】 前記第1の電界効果型トランジスタおよび前記第2の電界効果型トランジスタそれぞれは、Pチャネル電界効果型トランジスタである、請求項1に記載の半導体装置。

【請求項3】 前記第1の電界効果型トランジスタはPチャネル電界効果型トランジスタであり、

前記第2の電界効果型トランジスタはPチャネルインシュレーティッドゲートバイポーラトランジスタである、請求項1に記載の半導体装置。

【請求項4】 前記第1の電界効果型トランジスタはPチャネル電界効果型トランジスタであり、

前記第2の電界効果型トランジスタはNチャネル電界効果型トランジスタである、請求項1に記載の半導体装置。

【請求項5】 前記半導体装置は、

第1導電型の半導体基板と、

該第1導電型の半導体基板の上に該第1導電型の半導体基板を覆うように形成され、前記第1の電界効果型トランジスタおよび前記第2の電界効果型トランジ

スタが設けられた第2導電型の不純物拡散層と、

該第2導電型の不純物拡散層内に形成され、前記第1の電界効果型トランジスタおよび第2の電界効果型トランジスタのうちのいずれかのソース電極またはドレイン電極と接続された第1導電型の不純物拡散領域と、

該第導電 1 型の不純物拡散領域と前記第 1 導電型の半導体基板との間に、前記第 2 導電型の不純物拡散層よりも不純物濃度が高い第 2 型の不純物拡散領域とを備えた、請求項 1 に記載の半導体装置。

【請求項 6】 第 1 導電型のチャネル領域を有する第 1 の電界効果型トランジスタおよび前記第 1 導電型とは逆の導電型の第 2 導電型のチャネル領域を有する第 2 の電界効果型トランジスタとを備え

前記第1の電界効果型トランジスタのゲート電極および前記第2の電界効果型トランジスタのドレイン電極が、一体的に形成された同一の導電層からなり、所定の方向に連続して直線的に延びるように形成されているとともに、

前記第1の電界効果型トランジスタのソース電極および前記第2の電界効果型のトランジスタのソース電極が、一体的に形成された同一の導電層からなり、所定の方向に連続して直線的に延びるように形成された半導体装置であって、

前記第1の電界効果型トランジスタのソース電極と前記第2の電界効果型トランジスタのドレイン電極との間の電位差は、前記第1の電界効果型トランジスタのゲート電極とソース電極との間の電位差程度であり、

【発明の詳細な説明】

[0 0 0 1]

【発明の属する技術分野】

本発明は、電界効果型のトランジスタを備えた半導体装置に関するものである。

【0002】

・ 【従来の技術】

従来より、電界効果型のトランジスタを用いた半導体装置が製造されている。このような半導体装置においては、半導体基板の主表面に垂直な方向から見たときに、素子分離部に取囲まれた素子形成領域内に、1つの電界効果型トランジスタが設けられている。たとえば、素子形成領域にはPチャネル型のトランジスタのみが設けられており、他の素子は設けられていない構造である。

【0003】

【特許文献1】

特開平10-4143号公報

【0004】

【発明が解決しようとする課題】

上記のような、素子形成領域に1つのみの電界効果型トランジスタが形成された構造の半導体装置においては、トランジスタ1つ1つを素子分離部により区切る必要がある。そのため、半導体基板の主表面に平行な方向の面積を小さくすることができない。

【0005】

本発明は、上述のような問題に鑑みてなされたものであり、その目的は、半導体基板の主表面に平行な面における素子の微細化を図ることが可能な構造の半導体装置を提供することである。

【0006】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板の主表面に対して垂直な方向から見たときに、素子形成領域を取り囲むとともに、一の素子形成領域と他の素子形成領域とを電気的に分離する素子分離部と、素子形成領域に設けられた複数の素子とを備えている。また、複数の素子は、ラッチ回路のハイサイドスイッチとして機能する、第1の電界効果型トランジスタおよび第2の電界効果型トランジスタを含んでいる。また、その半導体装置は、第1の電界効果型トランジスタおよび第2の電界効果型トランジスタのうちいずれか一方の下側が完全に空乏化され状態で使

用される。また、第1の電界効果型トランジスタと第2の電界効果型トランジスタとは、ソース領域またはドレイン領域が共用されている。

[0007]

上記の構成によれば、ラッチ回路のハイサイドスイッチが形成された素子形成領域の面積を小さくすることが可能となる。したがって、半導体装置を微細化することが可能となる。

[0008]

本発明の第2の局面の半導体装置は、第1導電型のチャネル領域を有する第1の電界効果型トランジスタおよび第1導電型とは逆の導電型の第2導電型のチャネル領域を有する第2の電界効果型トランジスタとを備えている。

[0009]

また、その半導体装置は、第1の電界効果型トランジスタのゲート電極および第2の電界効果型トランジスタのドレイン電極が、一体的に形成された同一の導電層からなり、所定の方向に連続して直線的に延びるように形成されている。また、その半導体装置は、第1の電界効果型トランジスタのソース電極および第2の電界効果型のトランジスタのソース電極が、一体的に形成された同一の導電層からなり、所定の方向に連続して直線的に延びるように形成されている。

[0 0 1 0]

また、第1の電界効果型トランジスタのソース電極と第2の電界効果型トランジスタのドレイン電極との間の電位差は、第1の電界効果型トランジスタのゲート電極とソース電極との間の電位差程度である。

[0 0 1 1]

[0 0 1 2]

上記のような構成によれば、第1の電界効果型トランジスタと第2の電界効果

型トランジスタとの間の距離を極力接近させることができる。そのため、素子形成領域の面積を小さくすることができる。

【0013】

【発明の実施の形態】

以下、図を用いて本発明の実施の形態の半導体装置を説明する。

【0014】

(実施の形態1)

まず、図1～図4を用いて実施の形態1の半導体装置の構造を説明する。図1に示すように、本実施の形態の半導体装置は、P⁻型の半導体基板1と、P⁻型の半導体基板1の主表面から所定の深さにかけて形成されたN⁻型エピタキシャル層2とを備えている。また、本実施の形態の半導体装置は、N⁻エピタキシャル層2内には、P⁻型半導体基板1の主表面から所定の深さにかけて、P⁺型不純物拡散領域3と、P⁺型不純物拡散領域3の上部に形成されたP⁺型不純物拡散領域3aとを備えている。

【0015】

また、P⁺型不純物拡散領域3aの横側には、P⁺型不純物拡散領域3aに隣接してP⁻型不純物拡散領域4が形成されている。また、P⁻型不純物拡散領域4の側面から所定の距離において、N⁺型不純物拡散領域5が形成されている。N⁺型不純物拡散領域5に隣接して、P⁺型不純物拡散領域6が形成されている。N⁺型不純物拡散領域5およびP⁺型不純物拡散領域6のそれぞれに接続されるよう、ソース電極V_{dd}電極8が設けられている。

【0016】

また、P⁺型不純物拡散領域6の側方に、P⁺型不純物拡散領域6から所定の距離を隔ててP⁻型不純物拡散領域11が形成されている。また、P⁺型不純物拡散領域6とP⁻型不純物拡散領域11との間の領域をチャネル領域とするゲート電極V_{g1}9が半導体基板1の上に形成されている。また、P⁻型不純物拡散領域11の内側の領域には、P⁺型不純物拡散領域7が形成されている。P⁺型不純物拡散領域7の上面には、ドレイン電極V_{d1}10が接続されている。

【0017】

また、P⁻型不純物拡散領域11の側方に所定の距離を隔ててP⁺型不純物拡散領域12が形成されている。P⁺型不純物拡散領域12とP⁻型不純物拡散領域11との間の領域をチャネル領域とするゲート電極V_{g1}13が形成されている。P⁺型不純物拡散領域12に隣接してN⁺型不純物拡散領域14が形成されている。また、N⁺型不純物拡散領域14に隣接してP⁺型不純物拡散領域16が形成されている。また、P⁺型不純物拡散領域12、N⁺型不純物拡散領域14およびP⁺型不純物拡散領域16のそれぞれに接するように、ソース電極V_{dd}15が形成されている。

【0018】

また、P⁺型不純物拡散領域16から所定の距離を隔ててP⁻型不純物拡散領域19が形成されている。P⁻型不純物拡散領域19とP⁺型不純物拡散領域16との間の領域をチャネル領域とするゲート電極V_{g2}17が形成されている。また、P⁻型不純物拡散領域19の内側の領域には、P⁺型不純物拡散領域18が形成されている。また、P⁺型不純物拡散領域18内にはドレイン電極V_{d2}20が接続されている。P⁻型不純物拡散領域19から所定の距離を隔ててP⁺型不純物拡散領域22が形成されている。P⁺型不純物拡散領域22とP⁻型不純物拡散領域19との間の領域をチャネル領域とするゲート電極V_{g2}21が形成されている。

【0019】

また、P⁺型不純物拡散領域22に隣接してN⁺型不純物拡散領域23が設けられている。P⁺型不純物拡散領域22およびN⁺型不純物拡散領域23のそれぞれにソース電極V_{dd}24が接続されている。また、N⁺型不純物拡散領域23の側方に、N⁺型不純物拡散領域23から所定の距離をおいてP⁻型不純物拡散領域25が形成されている。また、P⁻型不純物拡散領域25は、P⁺型不純物拡散領域3aに隣接している。また、P⁺型不純物拡散領域3aはその下側にP⁺型不純物拡散領域3が設けられている。なお、P⁺型不純物拡散領域3aは、接地電極に接続されている。

【0020】

前述の半導体装置は、N⁺型不純物拡散領域14を境にして左側がフィールドPMOS (P Channel Metal Oxide Semiconductor) 1を構成しており、右側が

フィールドPMOS 2を構成している。なお、フィールドPMOS (NMOS) とは、ゲート絶縁膜がLOCOS (Local oxidation of Silicon) フィールド酸化膜により構成されているMOSトランジスタを意味する。なお、本明細書においては、ゲート電極と半導体基板との間に形成されているゲート絶縁膜は、図では描写されていない。

【0021】

上記のような半導体装置によれば、ラッチ回路のハイサイドスイッチとしてのフィールドPMOS 1とフィールドPMOS 2とがソース電極 V_{dd} ¹⁵に接続されたP⁺型不純物拡散領域¹²、N⁺型不純物拡散領域¹⁴およびP⁺型不純物拡散領域¹⁶を共用する。そのため、素子形成領域の半導体基板¹の主表面に平行な方向の面積が従来に比べて小さくなっている。その結果、半導体装置を微細化することができる。なお、ハイサイドスイッチとは、電源電極（高電位側）と接地電極（低電位側）との間に2つのスイッチ素子が直列に接続されている場合に、電源電極（高電位側）に接続されている側のスイッチを意味するものとする。

【0022】

なお、図2は、図1に示す構造の半導体装置が回路（ラッチ回路）としてどのように用いられているかを示すための図である。また、ラッチ回路のハイサイドとは、図2に示すラッチ回路の電圧 V_{dd} が印加されている電極に接続されている側のことであり、本実施の形態のラッチ回路においては、フィールドPMOS 1、フィールドPMOS 2およびフィールドPMOS 3がハイサイドスイッチに該当する。

【0023】

図3は、ゲート電極 V_{g2} ¹⁷, ²¹に閾値電圧以上の電圧が印加され、ドレイン電極 V_{d2} ²⁰の電圧が V_{dd} となっているとともに、ゲート電極 V_{g1} ⁹, ¹³に閾値電圧以下の電圧が印加され、ドレイン電極 V_{d1} ¹⁰の電圧が0となっている場合に形成される空乏層が点線で示されている。また、図4には、ゲート電極 V_{g1} ⁹, ¹³に閾値電圧以上の電圧が印加され、ドレイン電極 V_{d1} ¹⁰の電圧が V_{dd} となっているとともに、ゲート電極 V_{g2} ¹⁷, ²¹に閾値電圧以下の電圧が印加され、ドレイン電極 V_{d2} ²⁰の電圧が0となっている場合に形成される空乏層

が点線で示されている。

【0024】

図3および図4から分かるように、ラッチ回路がオフ状態のときには、P⁻型の半導体基板1およびP⁻型不純物拡散領域4, 6, 11, 12, 16, 19, 22, 25それぞれから空乏層が伸びることにより、N⁻型エピタキシャル層2が完全に空乏化されている。したがって、N⁻型エピタキシャル層2の表面電界は緩和されている。

【0025】

また、P⁻型の半導体基板1側から伸びる空乏層は、P⁻型不純物拡散領域4, 6, 11, 12, 16, 19, 22, 25には達しない。このような作用は、DOUBLE RESURFと呼ばれる表面電界を緩和する構造に付随した作用であり、特開平10-4143号公報に記載されている。表面電界を緩和するDOUBLE RESURF条件を満たせば、素子の耐圧は、半導体基板の主表面に垂直な方向の1次元耐圧となる。したがって、素子の耐圧は、P⁻型の半導体基板1とN⁻型エピタキシャル層2との間の耐圧により決定される。

【0026】

そのため、P⁻型の半導体基板1およびN⁻型エピタキシャル層2それぞれの不純物の濃度を調整することにより、耐圧を容易に変更することが可能である。そのため、耐圧は、1000V以上にすることが可能である。その結果、本実施の形態のラッチ回路によれば、ロジック信号を1000V程度のデジタル信号に変換することができる。そのため、本実施の形態ならびに以下に説明する各実施の形態のラッチ回路は、MEMS (Micro Electro Mechanical System)の駆動源となる静電誘導力またはピエゾ電気力の駆動回路として極めて有用である。

【0027】

(実施の形態2)

次に、図5を用いて実施の形態2の半導体装置の構造を説明する。実施の形態2の半導体装置においては、実施の形態1の図1に示す半導体装置の構造とほぼ同様である。しかしながら、本実施の形態の半導体装置の構造においては、P⁺型不純物拡散領域18内にN⁺型不純物拡散領域28が形成されていることのみ

が、実施の形態1の図1に示す半導体装置とは異なる。

【0028】

したがって、本実施の形態の半導体装置は、ソース電極 $V_{dd}15$ の右側には、フィールドPMOS2ではなく、PチャネルIGBT(Insulated Gate Bipolar transistor)が形成されている。このPチャネルIGBTでは、 P^+ 型不純物拡散領域18と N^+ 型不純物拡散領域28との間に順バイアスが生じることにより、 N^+ 型不純物拡散領域28をエミッタ電極とするNPNトランジスタが機能する。それにより、NPNトランジスタにより、 hFE 倍電流が増幅される。

【0029】

上記のような本実施の形態の半導体装置においても、ソース電極 $V_{dd}15$ に接続された P^+ 型不純物拡散領域12、 N^+ 型不純物拡散領域14および P^+ 型不純物拡散領域16が、ラッチ回路のハイサイドスイッチとしてのフィールドPMOS1とフィールドPチャネルIGBTとにより共用されている。そのため、半導体基板1の主表面に平行な面における素子形成領域の面積を小さくすることができる。その結果、半導体装置を微細化することが可能となる。

【0030】

また、PチャネルIGBTのオン抵抗は十分に小さいため、図2に示すような出力用のPMOS3を設ける必要はない。したがって、実施の形態1の半導体装置よりもさらに半導体基板1の主表面に平行な方向における素子形成領域の面積を小さくすることができる。

【0031】

なお、図6には、図5に示す半導体装置の構造が、ラッチ回路においてどのように用いられるかを示す回路図が示されている。

【0032】

(実施の形態3)

次に、図7を用いて本実施の形態の半導体装置の構造を説明する。

【0033】

本実施の形態の半導体装置は、図1に示す実施の形態1の半導体装置とほぼ同様の構造であるため、実施の形態1の半導体装置の構造と異なる部分のみ説明す

る。ソース電極 V_{dd} 1 5の左側の領域におけるフィールドPMOS 2の構造は、実施の形態1のフィールドPMOS 1の構造と全く同様である。本実施の形態の半導体装置の構造は、以下の事項が実施の形態1の半導体装置の構造と異なる。

【0034】

N^+ 型不純物拡散領域1 4の近傍には、 P^- 型不純物拡散領域3 1が形成されている。 P^- 型不純物拡散領域3 1に隣接して P^+ 型不純物拡散領域3 2が形成されている。また、 P^+ 型不純物拡散領域3 2内には N^+ 型不純物拡散領域3 3が形成されている。 P^+ 型不純物拡散領域3 2と N^+ 型不純物拡散領域3 3との双方に電極 V_{out} 3 8が接続されている。また、 P^+ 型不純物拡散領域3 2の横側に P^+ 型不純物拡散領域3 2から所定の距離を隔てて P^+ 型不純物拡散領域3 4が形成されている。

【0035】

P^+ 型不純物拡散領域3 4内には、 N^+ 型不純物拡散領域3 5が形成されている。また、 P^+ 型不純物拡散領域3 2と P^+ 型不純物拡散領域3 4との間の領域をチャネル領域とするゲート電極 V_{g4} 3 9が設けられている。また、 P^+ 型不純物拡散領域3 2にはドレイン電極 V_{out} 3 8が接続されている。また、 P^+ 型不純物拡散領域3 4にはドレイン電極 V_{out} 4 0が接続されている。

【0036】

また、 P^+ 型不純物拡散領域3 4に隣接して P^- 型不純物拡散領域3 0が形成されている。また、 P^- 型不純物拡散領域3 0の側方には、 P^- 型不純物拡散領域3 0から所定の距離を隔てて N^+ 型不純物拡散領域3 7が形成されている。 N^+ 型不純物拡散領域3 7にはソース電極 V_{dd} 4 1が接続されている。

【0037】

上記のような本実施の形態の半導体装置によっても、ラッチ回路のハイサイドスイッチとしてのフィールドPMOS 2とNMOS (N Channel Metal Oxide Semiconductor) 4とにより、ソース電極 V_{dd} 1 5に接続された P^+ 型不純物拡散領域1 2、 N^+ 型不純物拡散領域1 4および P^+ 型不純物拡散領域3 1が共用されている。したがって、半導体基板1の主表面に平行な面における素子形成領域の面積を小さくすることができる。その結果、本実施の形態の半導体装置によっても

半導体装置を微細化することができる。

【0038】

また、NMOSは、PMOSに比較して電荷の移動度が3倍大きい。そのため、NMOSは、PMOSに対して半導体基板1の主表面に平行な方向の面積を小さくすることができる。

【0039】

また、図7には、ゲート電極 $V_{g2}^9, 13$ に閾値電圧以下の電圧が印加され、ドレイン電極 V_{d2}^{10} の電圧が0となっているとともに、ゲート電極 V_{g4}^{39} に閾値電圧以上の電圧が印加され、ドレイン電極 $V_{out}^{38, 40}$ の電圧が V_{dd} になっている場合に形成される空乏層が図中に点線で示されている。

【0040】

さらに、図8は、図7に示す構造の半導体装置と全く同様の半導体装置の構造が示されている。図8には、ゲート電極 $V_{g2}^9, 13$ に閾値電圧以上の電圧が印加され、ドレイン電極 V_{d2}^{10} の電圧が V_{dd} となっているとともに、ゲート電極 V_{g4}^{39} に閾値電圧以下の電圧が印加され、ドレイン電極 V_{out} の電圧が0になっている場合に形成される空乏層が図中に点線で示されている。

【0041】

なお、図9は、図7および図8に示す半導体装置が回路（ラッチ回路）においてどのように用いられるかを示すための回路図が示されている。このラッチ回路では、NMOS4のゲート電極 V_{g4}^{39} を保護するためのツェナーダイオードが設けられていることが実施の形態1または2の半導体装置の回路図と異なっている。

【0042】

また、図7および図8では、フィールドPMOS2は描かれていないが、フィールドPMOS2、フィールドPMOS1およびNMOS4により、ソース電極 V_{dd}^{15} に接続されたP⁺型不純物拡散領域12、N⁺型不純物拡散領域14およびP⁺型不純物拡散領域31が共用されていてよい。

【0043】

(実施の形態4)

次に、図10～図12を用いて実施の形態4の半導体装置を説明する。実施の形態4の半導体装置においては、図7または図8に示す実施の形態3の半導体装置の構造と異なる部分は、NMOS4がフィールドNMOSであることのみである。このフィールドNMOSのゲート電極V_{d239}には電圧0が印加されている。また、フィールドPMOS2のドレイン電極V_{d210}にも電圧0が印加されている。このときに形成される空乏層が図10に破線で示されている。

【0044】

また、図11には、フィールドPMOS2のドレイン電極V_{d210}には電圧V_{dd}が印加され、フィールドNMOSのゲート電極V_{d239}には電圧V_{dd}が印加されている。そのときに形成される空乏層が図11に点線で示されている。またさらに、図12には、図10および図11に示す半導体装置が回路においてどのように用いられるかを示す回路図が示されている。

【0045】

上記のような本実施の形態の半導体装置によっても、ラッチ回路のハイサイドスイッチとしてのフィールドPMOS2とフィールドNMOSとによりソース電極V_{d215}に接続されたP⁺型不純物拡散領域12およびN⁺型不純物拡散領域14が共用されている。また、本実施の形態の半導体装置においては、ソース電極V_{d215}に接続されたN⁺型不純物拡散領域14とドレイン電極V_{out38}に接続されたP⁻型不純物拡散領域31とが隣接して設けられている。したがって、半導体基板1の主表面に平行な方向における面積を小さくすることができる。その結果、本実施の形態の半導体装置の構造によっても素子形成領域を微細化することができる。

【0046】

なお、本実施の形態のラッチ回路においては、図12に示すように、実施の形態3の図9に示すラッチ回路のNMOSをフィールドNMOSに置き換えている。フィールドNMOSは、NMOSよりも耐圧が大きい。したがって、図9に示すラッチ回路で用いられたNMOSを保護するためのツェナーダイオードは用いられていない。

【0047】

(実施の形態 5)

図13を用いて、実施の形態5の半導体装置を説明する。図13は、図7～図9に示す実施の形態3の半導体装置のフィールドPMOS2とNMOS4との平面的配置を変更した構造を示す図である。なお、図13は、半導体基板1の主表面に対して垂直な方向から見た場合の半導体基板の主表面の近傍を模式的に描いた図である。

[0048]

図13に示す構造において符号が付された各部分は、図7～図9に示す構造において同じ符号が付された各部分と同様の機能を有している。すなわち、図13に示す半導体装置と図7～図9に示す半導体装置とは、機能は同じであるが、各部位の配置のみが異なる。

[0049]

図13に示すように、NMOS4のゲート電極39およびフィールドPMOS2のドレン電極10が、一体的に形成された同一の導電層からなり、所定の方向に連続して直線的に延びるように形成されている。また、NMOS4のソース電極15, 41およびフィールドPMOS2のソース電極8, 15は、一体的に形成された同一の導電層からなり、所定の方向に連続して直線的に延びるように形成されている。

[0 0 5 0]

NMOS4のソース電極15, 41とフィールドPMOS2のドレイン電極10との間の電位差は、NMOS4のゲート電極39とソース電極15, 41との間の電位差程度である。

〔0051〕

そのため、本実施の形態の半導体装置は、図13に示すような配置にNMOS 4およびフィールドPMOS 2が形成された場合にも、フィールドPMOS 2のドレイン電極10の下側のP⁺型不純物拡散領域7とNMOS 4のゲート電極39の下側のP⁺型不純物拡散領域32, 34との間のパンチスルーパンチホール電圧が、NMOS 4のソース電極15, 41とフィールドPMOS 2のドレイン電極10との間の電位差よりも大きくなるように構成されている。

【0052】

それにより、NMOS4とフィールドPMOS2とを接近して設けても、フィールドPMOS2のドレイン電極10の下側のP⁺型不純物拡散領域7とNMOS4のゲート電極39の下側のP⁺型不純物拡散領域32, 34との間にパンチスルーガが生じることを抑制することができる。

【0053】

(実施の形態6)

次に、図14を用いて本実施の形態の半導体装置の構造を説明する。

【0054】

本実施の形態の半導体装置は、実施の形態1において図1を用いて示した半導体装置の構造とほぼ同様の構造である。しかしながら、本実施の形態の半導体装置のN⁺型不純物拡散領域5, 14, 23は、実施の形態1の半導体装置のN⁺型不純物拡散領域5, 14, 23に比較して、非常に深い位置に至るようになかつ非常に幅広い領域にわたって設けられていることが図1に示す半導体装置の構造と異なる。

【0055】

このように、N⁺型不純物拡散領域5, 14, 23を深くかつ広く形成することにより、P⁺型の半導体基板1とP⁺型不純物拡散領域6, 12, 16, 22との間に、N⁺型不純物拡散領域5, 14, 23が存在することになる。そのため、P⁺型の半導体基板1、N⁻型不純物拡散領域2、およびP⁺型不純物拡散領域6, 12, 16, 22により構成される寄生V-PNPTrの動作を抑えることができるという効果が得られる。

【0056】

(実施の形態7)

次に、本実施の形態の半導体装置の構造を図15を用いて説明する。

【0057】

本実施の形態の半導体装置の構造は、実施の形態1の図1を用いて示した半導体装置の構造とほぼ同様の構造である。しかしながら、図15に示す本実施の形態の半導体装置の構造においては、以下のことが図1に示す半導体装置の構造と

は異なる。

【0058】

N^+ 型不純物拡散領域14、 P^+ 型不純物拡散領域12および P^+ 型不純物拡散領域16の下面に接するように、 N^+ 型不純物拡散領域45が形成されている。また、 N^+ 型不純物拡散領域22および N^+ 型不純物拡散領域23の下面に接するように N^+ 型不純物拡散領域46が形成されている。さらに、 N^+ 型不純物拡散領域5および P^+ 型不純物拡散領域6の下面に接するように N^+ 型不純物拡散領域47が形成されている。

【0059】

このような構造の半導体装置によっても、 P^+ 型の半導体基板1と P^+ 型不純物拡散領域6、12、16、22との間に、 N^+ 型不純物拡散領域47、45、46が存在することになる。そのため、 P^+ 型の半導体基板1、 N^- 型不純物拡散領域2、および P^+ 型不純物拡散領域6、12、16、22により構成される寄生V-PNPTrの動作を抑えることができるという効果を得ることができる。

【0060】

(実施の形態8)

次に、本実施の形態の半導体装置の構造を図16を用いて説明する。

【0061】

本実施の形態の半導体装置の構造は、図1に示した実施の形態1の半導体装置の構造とほぼ同様の構造である。しかしながら、本実施の形態の半導体装置は、図1に示す半導体装置と以下のことが異なる。

【0062】

N^- 型エピタキシャル層2と P^- 型不純物拡散領域を有する半導体基板1との境界線上において、 P^+ 型不純物拡散領域12、 N^+ 型不純物拡散領域14、および P^+ 型不純物拡散領域16の下方に N^+ 型不純物拡散領域51が形成されている。また、 N^+ 型不純物拡散領域5および P^+ 型不純物拡散領域6の下方に N^+ 型不純物拡散領域50が形成されている。また、 N^+ 型不純物拡散領域23および P^+ 型不純物拡散領域22の下方に N^+ 型不純物拡散領域52が形成されている。

【0063】

上記のような半導体装置によっても、P⁺型の半導体基板1とP⁺型不純物拡散領域6, 12, 16, 22との間に、N⁺型不純物拡散領域50, 51, 52が存在することになる。そのため、P⁺型の半導体基板1、N⁻型不純物拡散領域2、およびP⁺型不純物拡散領域6, 12, 16, 22により構成される寄生V-PNPTrの動作を抑えることができるという効果を得ることができる。

【0064】

なお、上記各実施の形態の形態の半導体装置においては、素子分離部内に2つの素子が形成されており、その2つの素子がソース領域を共用する構造が示されている。しかしながら、本発明の半導体装置には、2の素子に限らず、3以上の複数の素子がソース領域を共用する構造の半導体装置が含まれていてもよい。

【0065】

さらに、各実施の形態の半導体装置においては、2つの素子に共用される不純物拡散領域がソース領域である構造が示されている。しかしながら、本発明の半導体装置は、2つの素子に共用される不純物拡散領域がドレイン領域である構造であっても、半導体基板の主表面に平行な方向の素子の面積を小さくすることができるという効果を得ることができる。

【0066】

なお、上記各実施の形態においては、図面に符号が付されているが、各図面において同一の符号を用いて示した部分は同一の機能を有する部位であるので、各実施の形態において、同じ部分の機能の説明は繰返していない。

【0067】

また、各実施の形態の説明の繰返しになるが、実施の形態1～8のそれぞれに記載の半導体装置の特徴のうちの1つは、ラッチ回路の2つのハイサイドスイッチのうちいずれか一方の下側が完全に空乏化され状態で使用されることである。

【0068】

また、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0069】

・ 【発明の効果】

本発明によれば、半導体基板の主表面に平行な面における素子の微細化を図ることが可能な構造の半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 実施の形態1の半導体装置の構造を説明するための図である。

【図2】 実施の形態1の半導体装置の回路図である。

【図3】 実施の形態1の半導体装置が動作したときに形成される空乏層を説明するための図である。

【図4】 実施の形態1の半導体装置が動作したときに形成される空乏層を説明するための図である。

【図5】 実施の形態2の半導体装置の構造を説明するための図である。

【図6】 実施の形態2の半導体装置の回路図である。

【図7】 実施の形態3の半導体装置が動作したときに形成される空乏層を説明するための図である。

【図8】 実施の形態3の半導体装置が動作したときに形成される空乏層を説明するための図である。

【図9】 実施の形態3の半導体装置の回路図である。

【図10】 実施の形態4の半導体装置の構造を説明するための図である。

【図11】 実施の形態4の半導体装置の構造を説明するための図である。

【図12】 実施の形態4の半導体装置の回路図である。

【図13】 実施の形態5の半導体装置の構造を説明するための図である。

【図14】 実施の形態6の半導体装置の構造を説明するための図である。

【図15】 実施の形態7の半導体装置の構造を説明するための図である。

【図16】 実施の形態8の半導体装置の構造を説明するための図である。

【符号の説明】

1 P⁻型不純物拡散領域、2 N⁻型エピタキシャル層、3, 3a, 6, 7,
12, 14, 18, 22, 32, 34 P⁺型不純物拡散領域、4, 11, 19
, 25, 30, 31 P⁻型不純物拡散領域、5, 14, 23, 28, 33, 3

特2003-062927

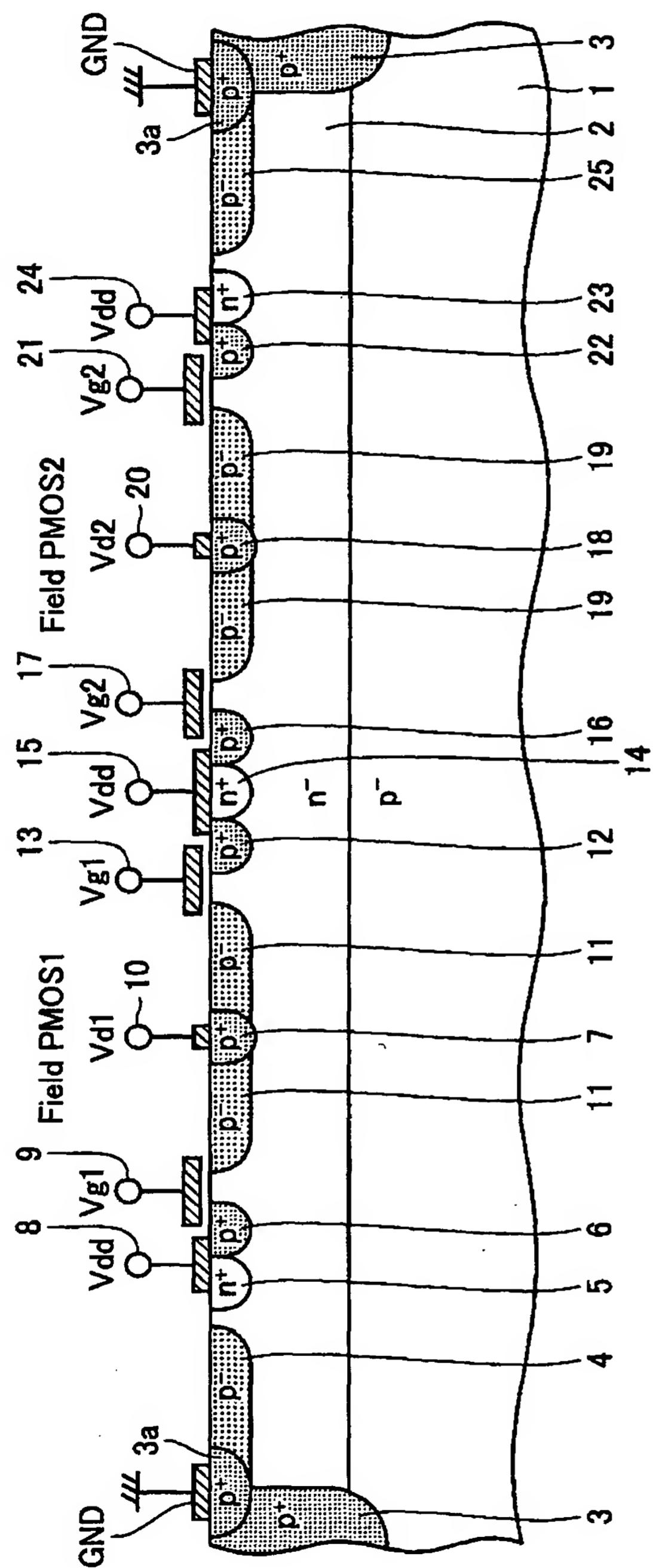
5, 37, 40, 41, 42, 45, 46, 47, 50, 51, 52 N⁺型不

純物拡散領域。

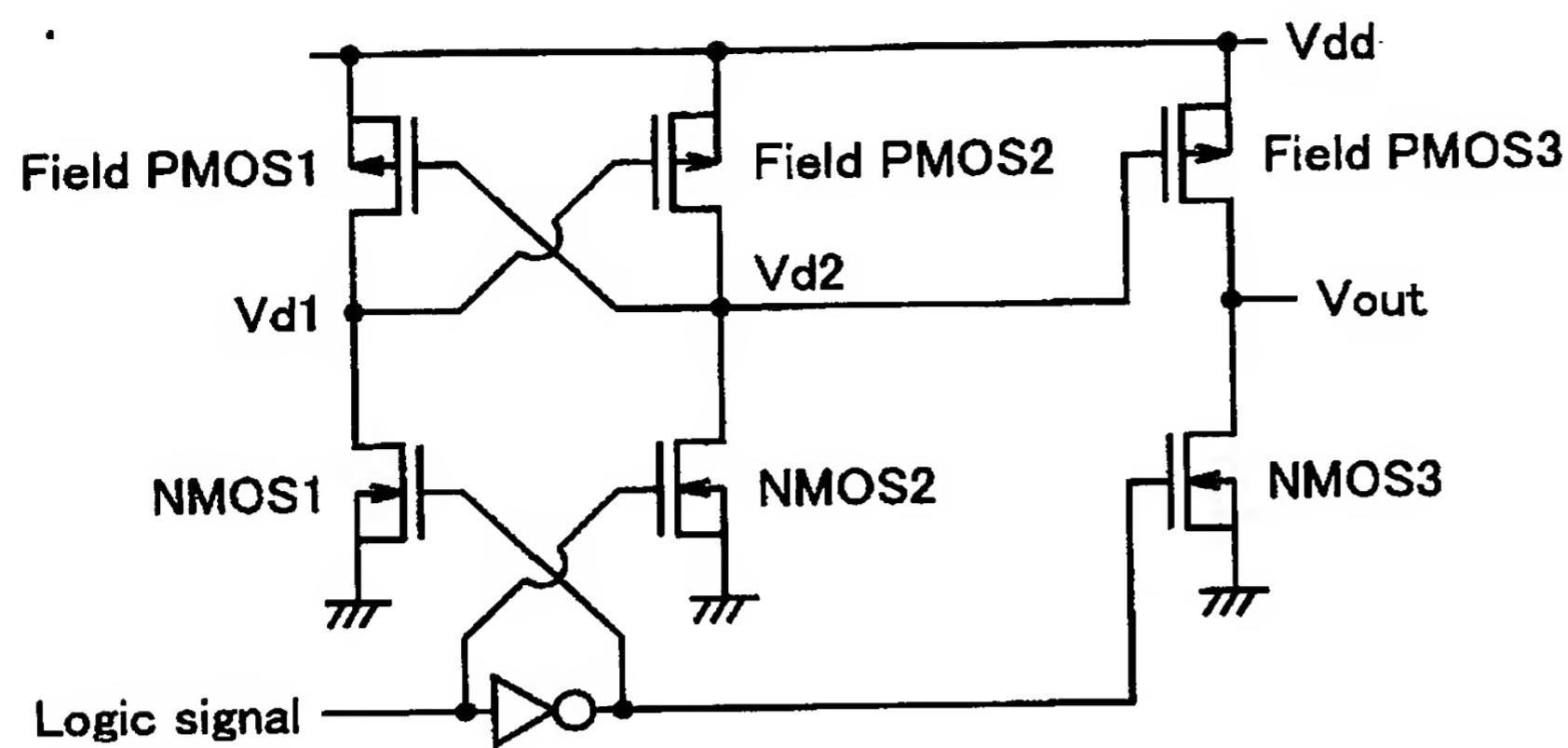
【書類名】

図面

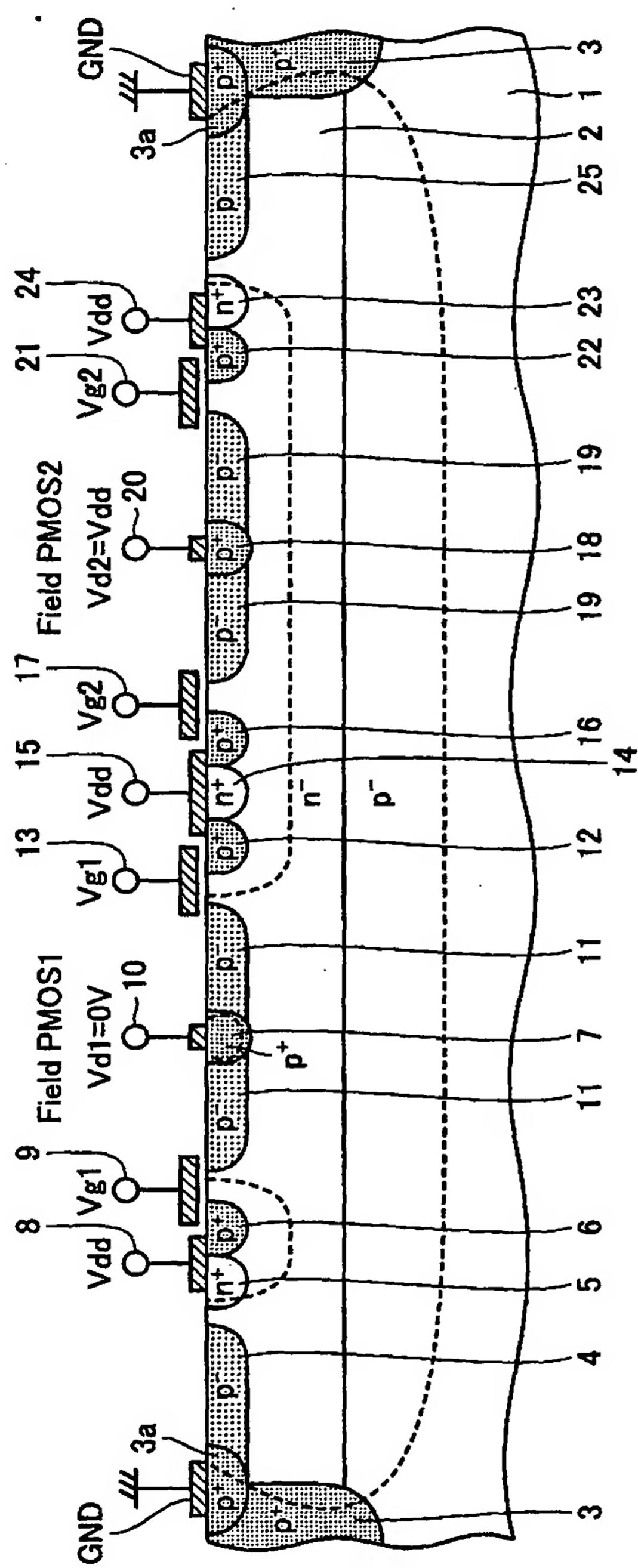
【図1】



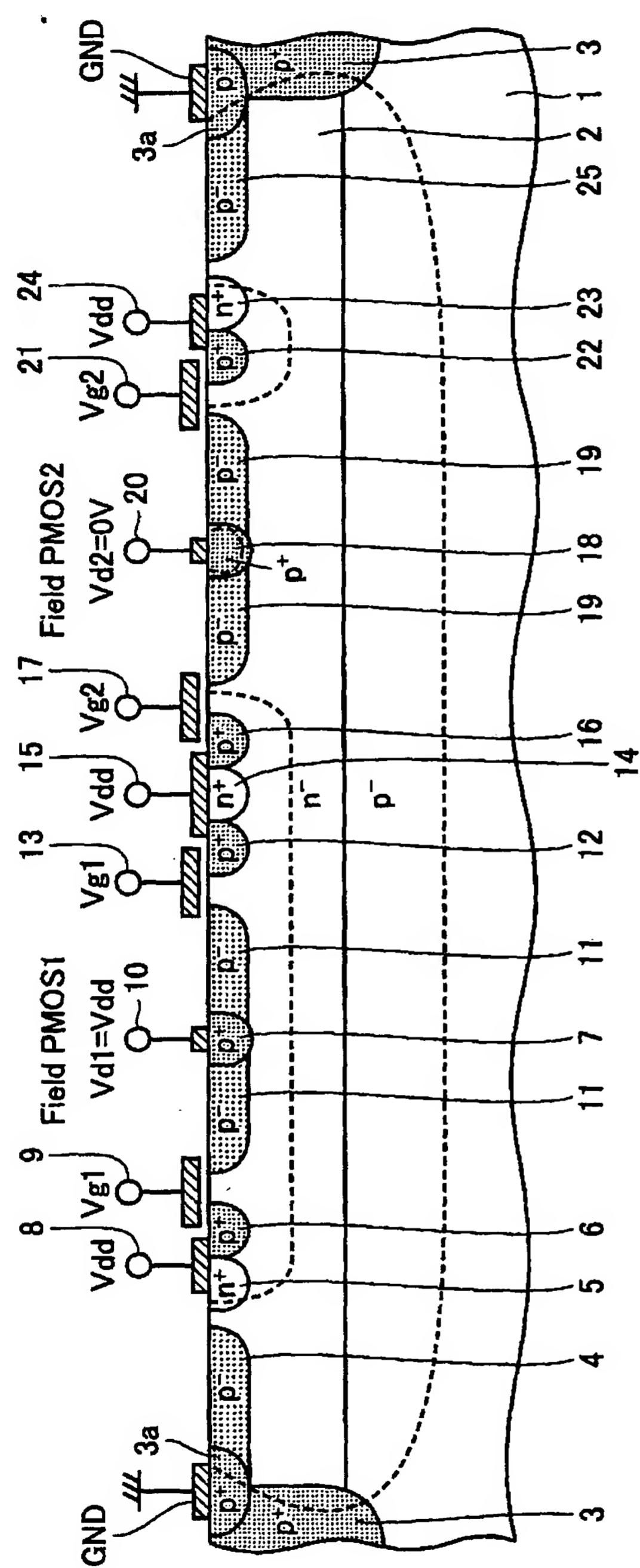
【図2】



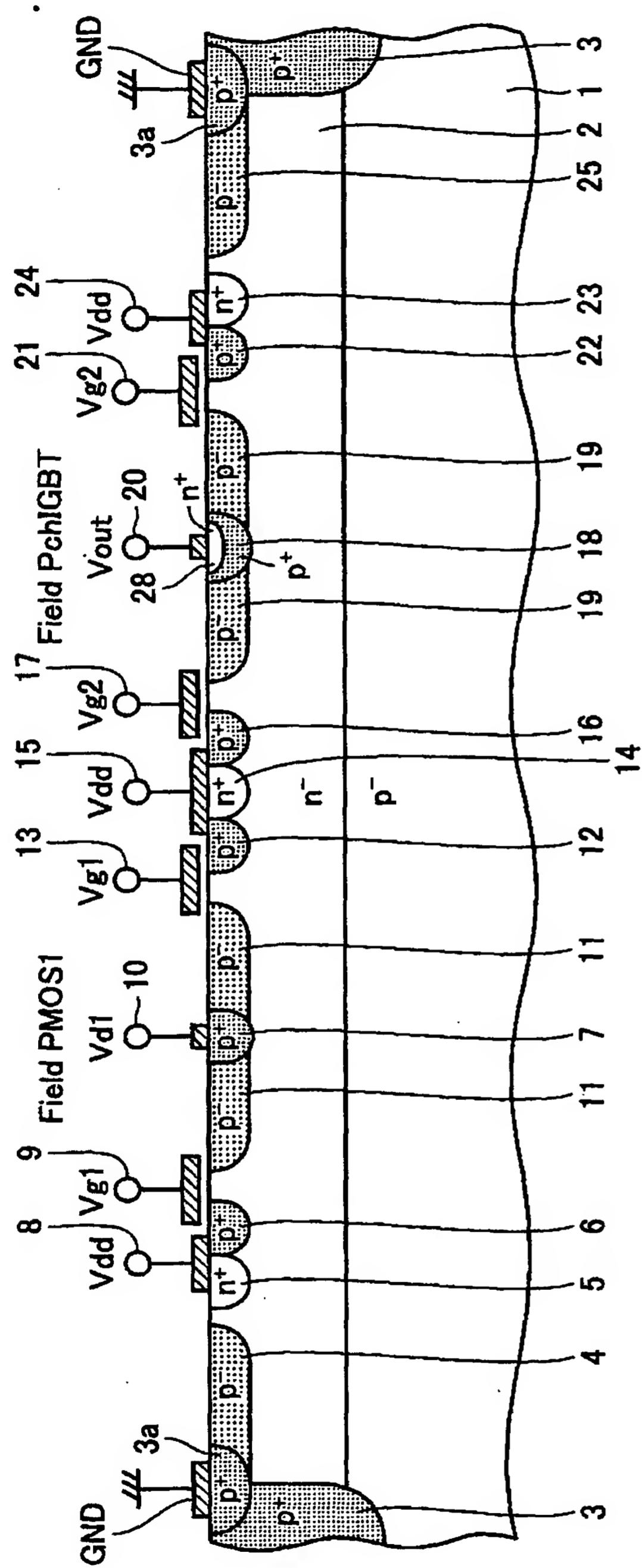
【図3】



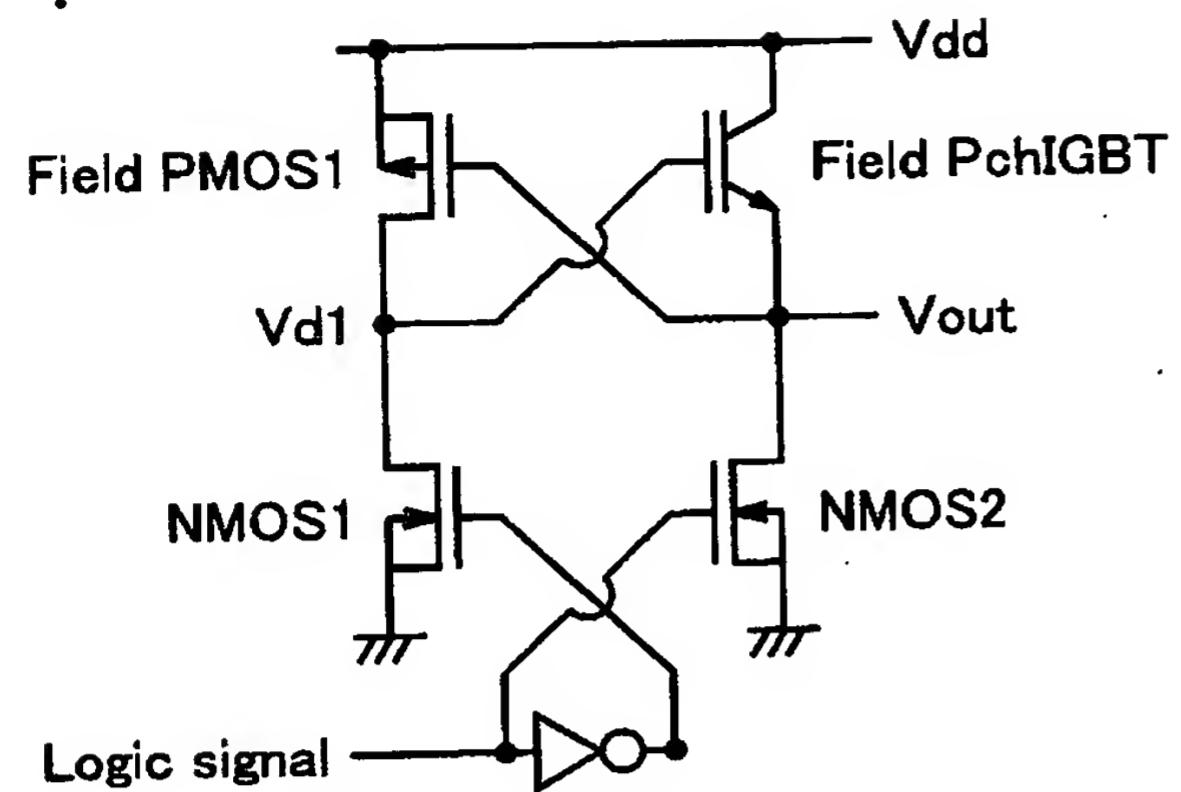
【図4】



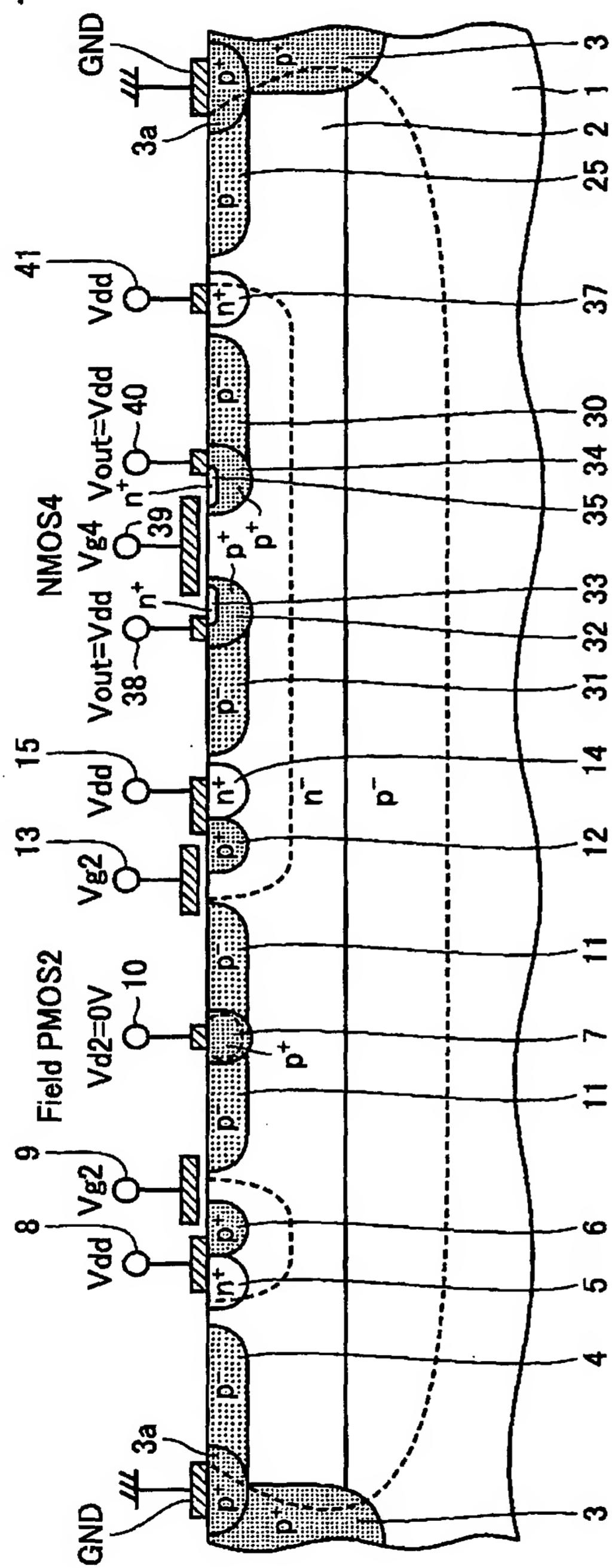
【図5】



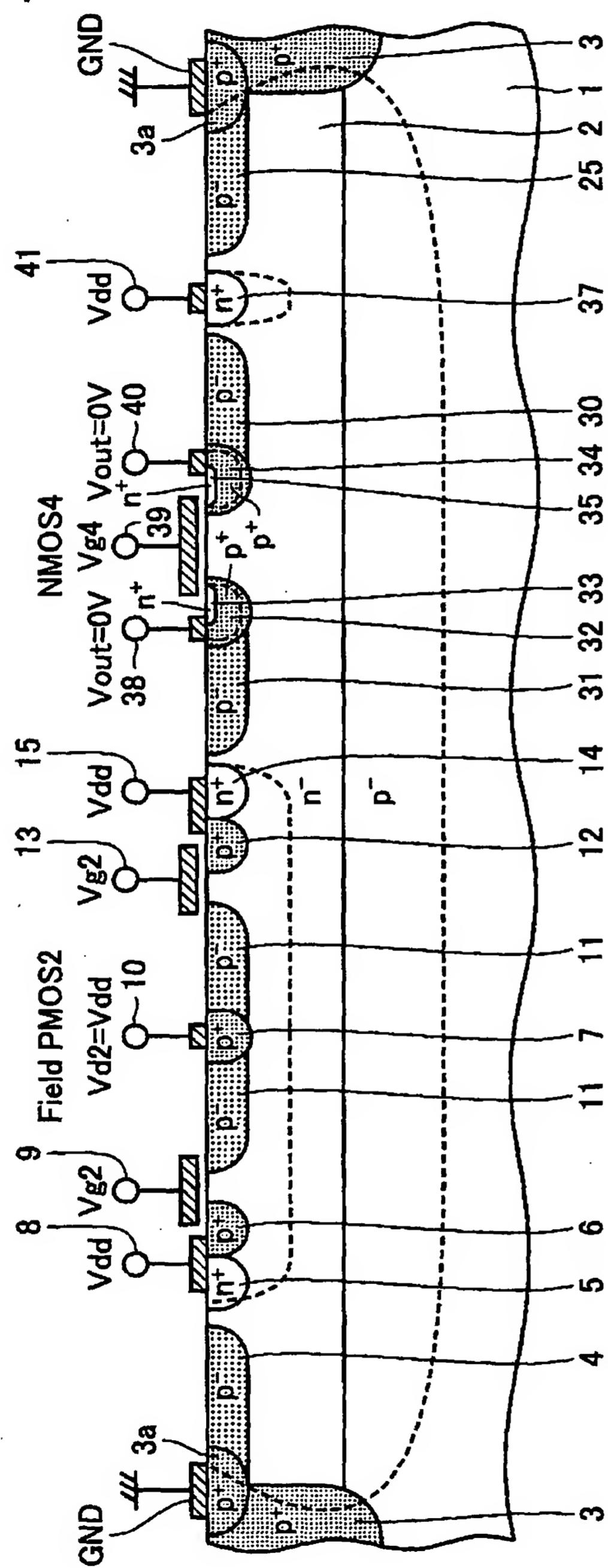
【図6】



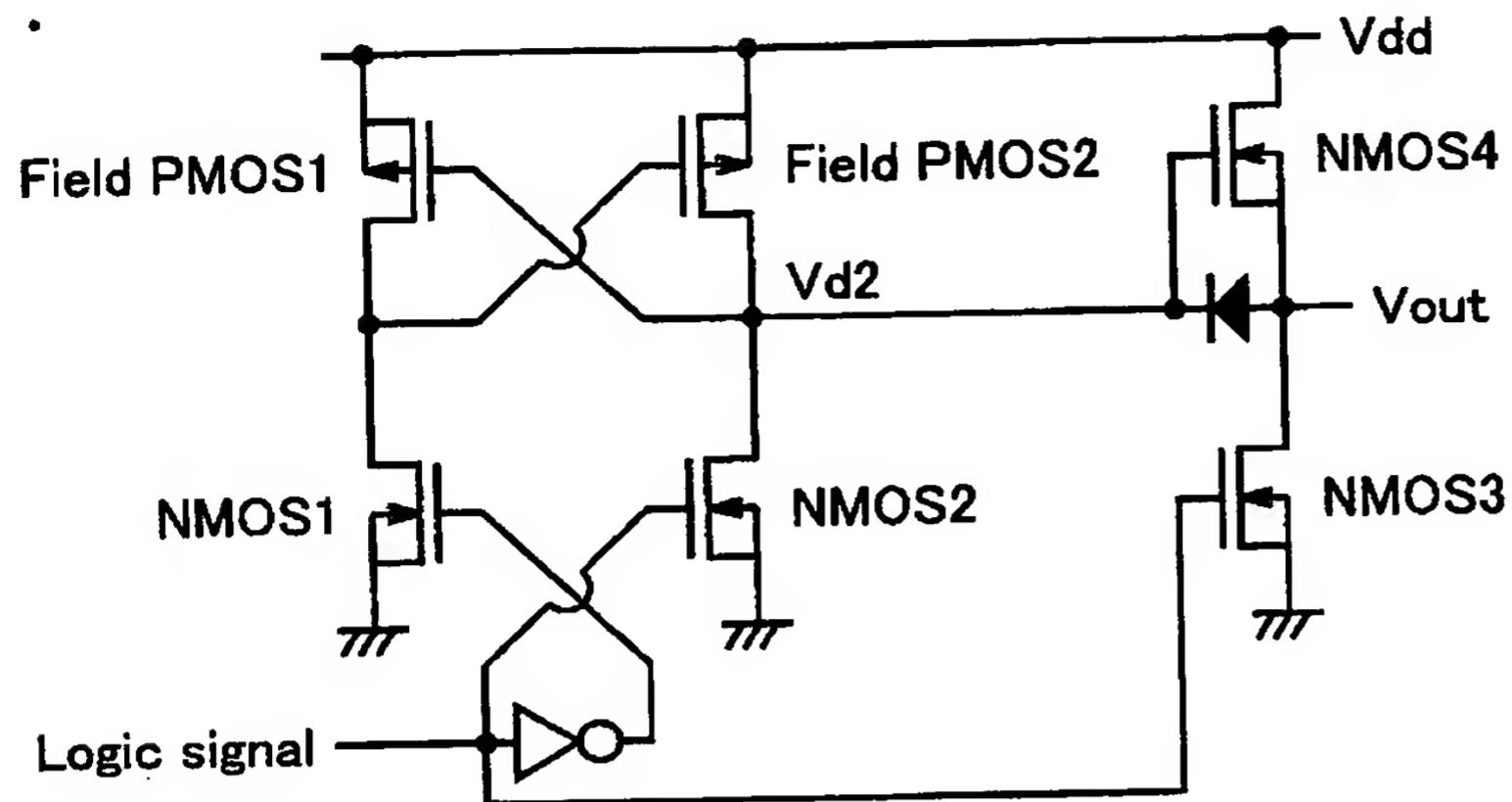
【図7】



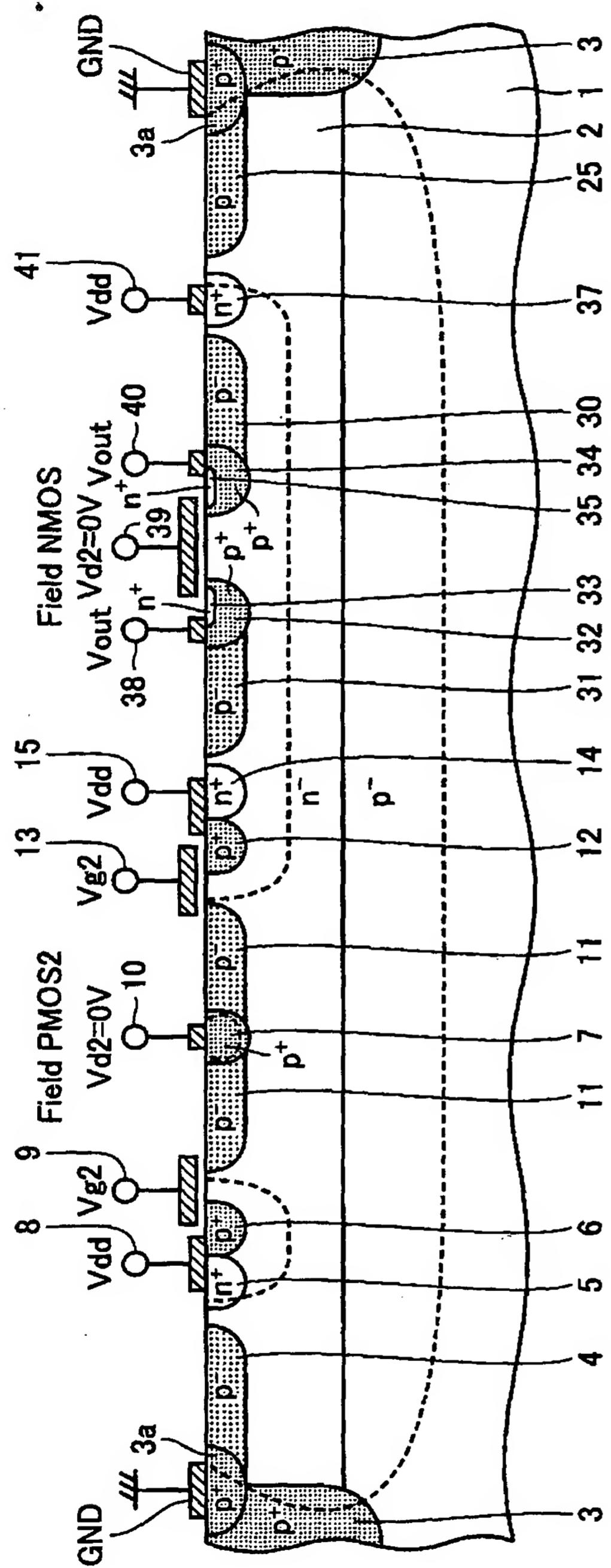
[図8]



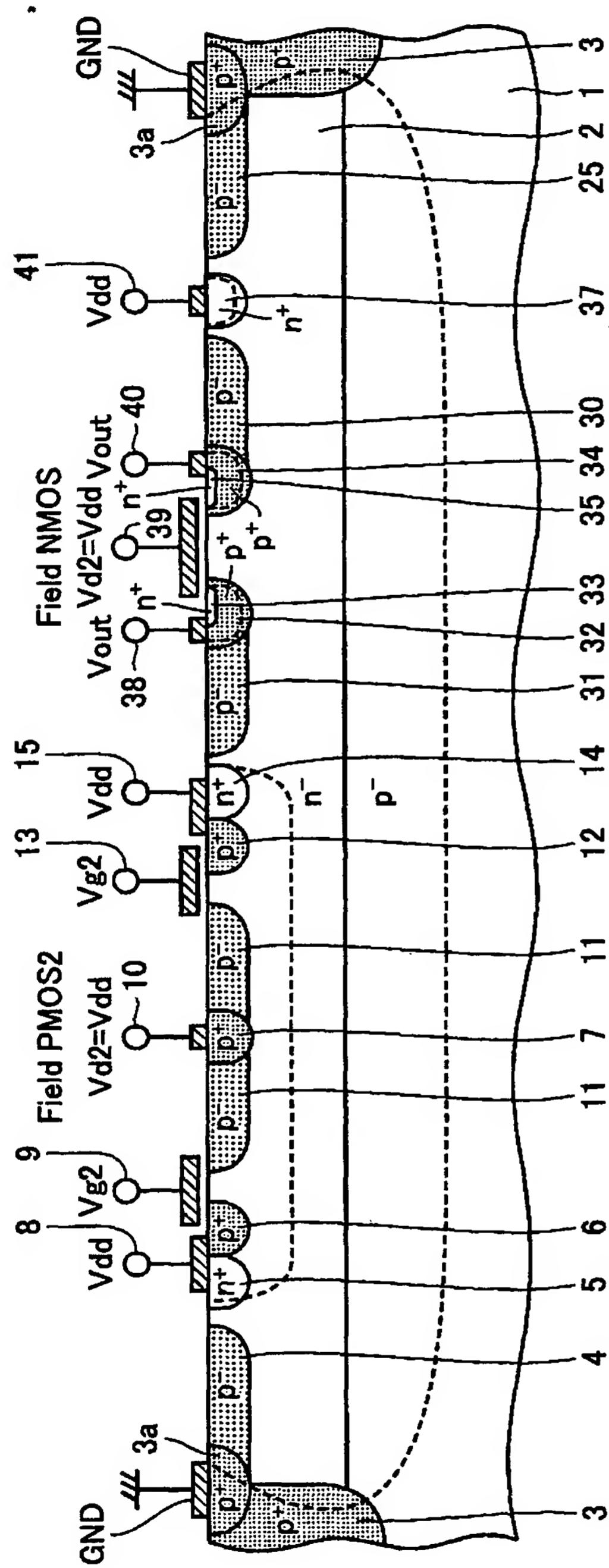
【図9】



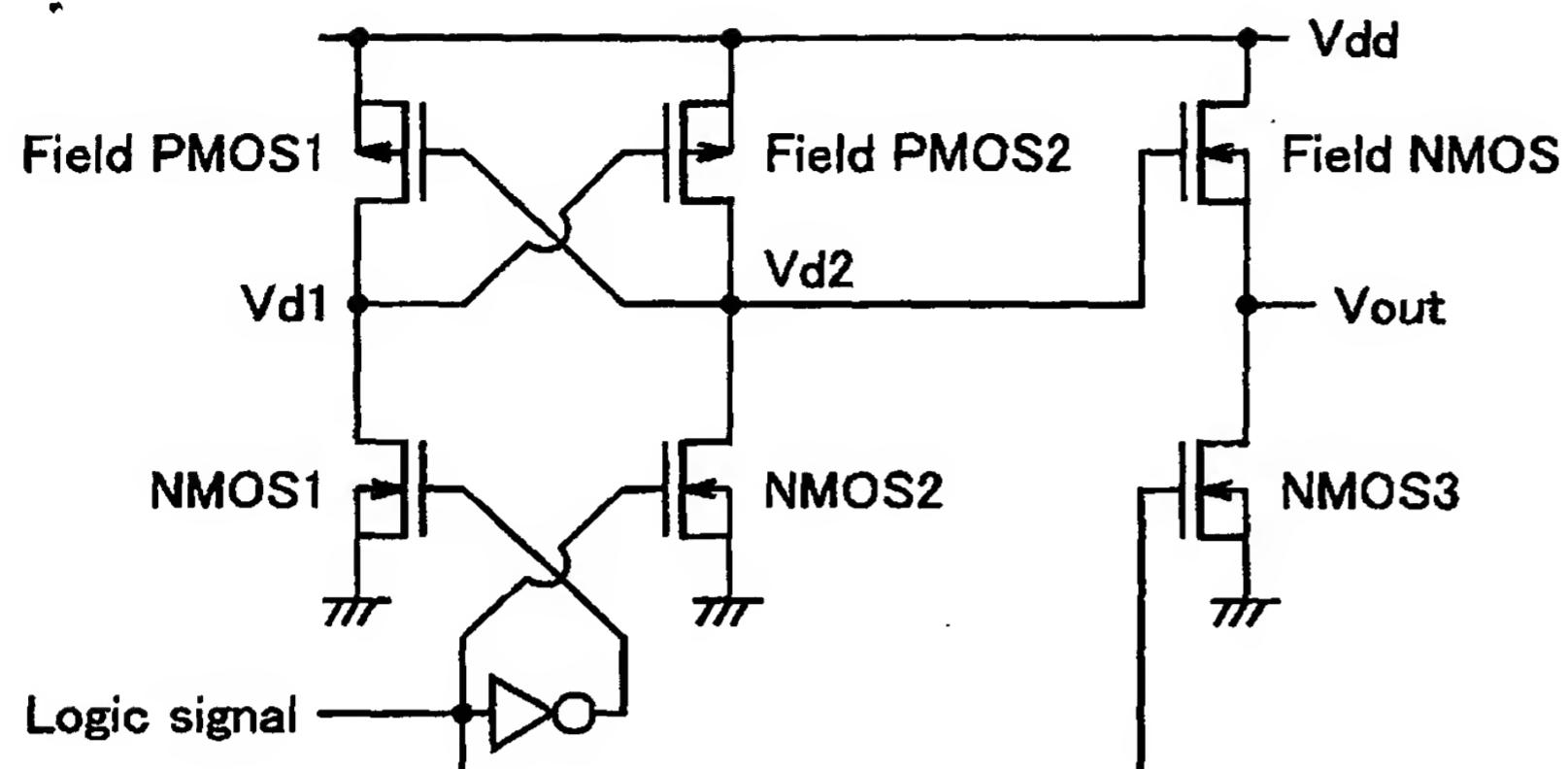
【図10】



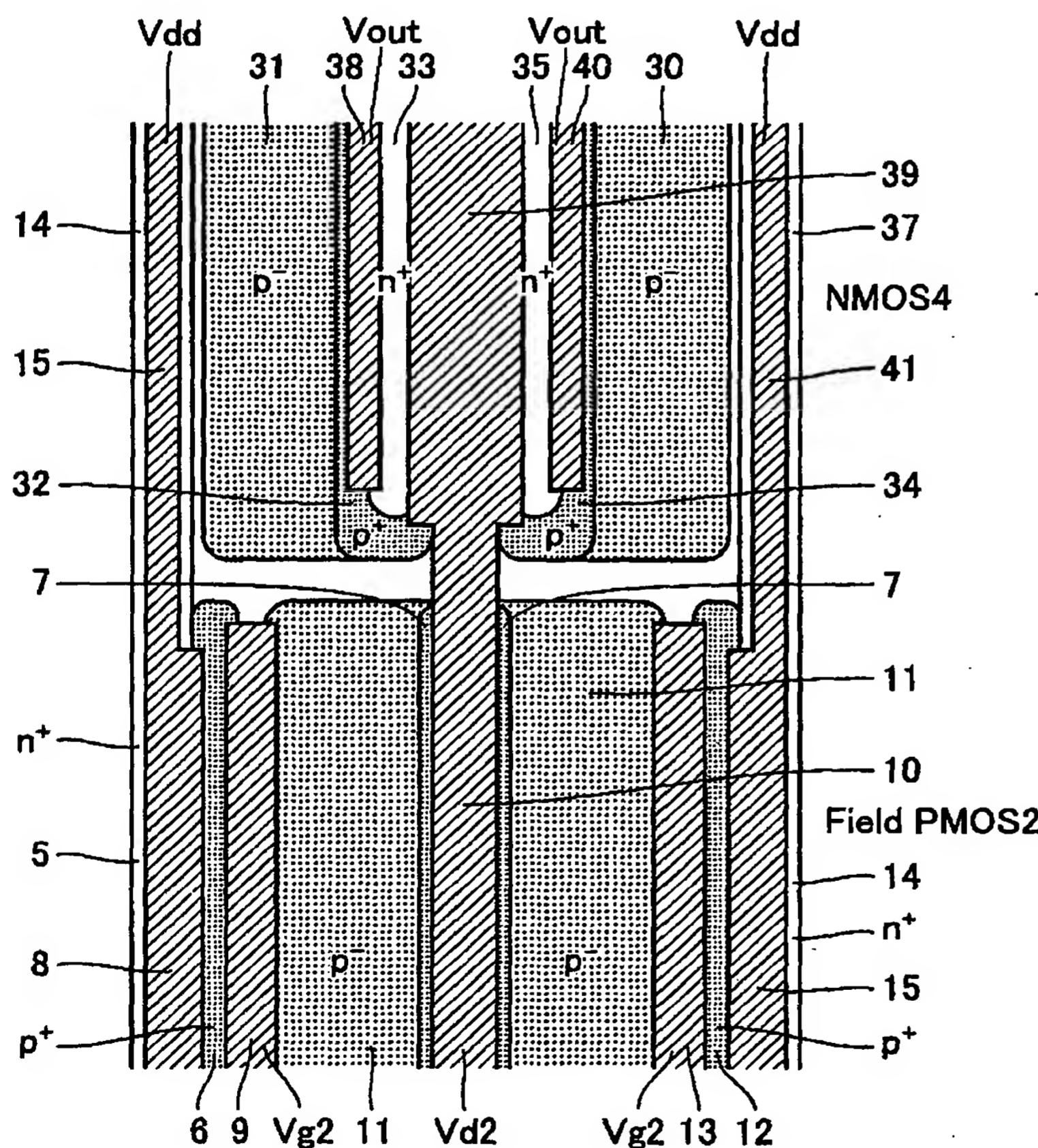
〔図11〕



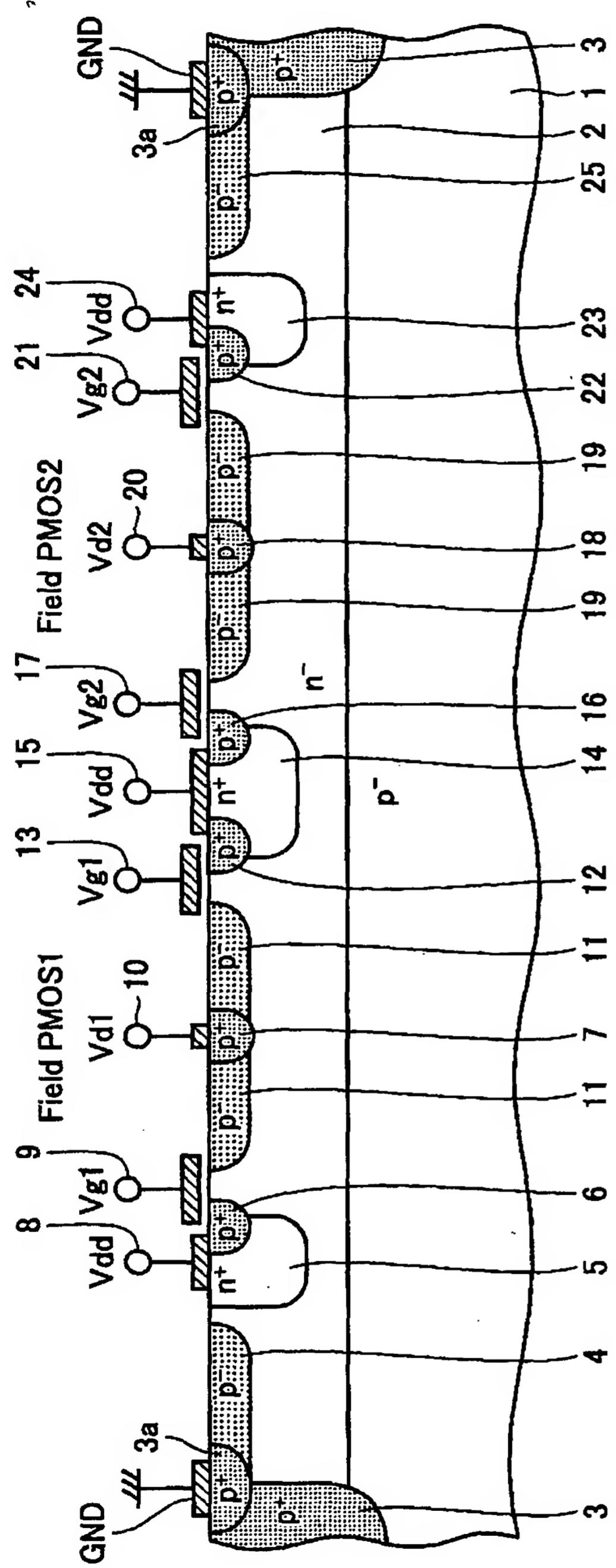
【図12】



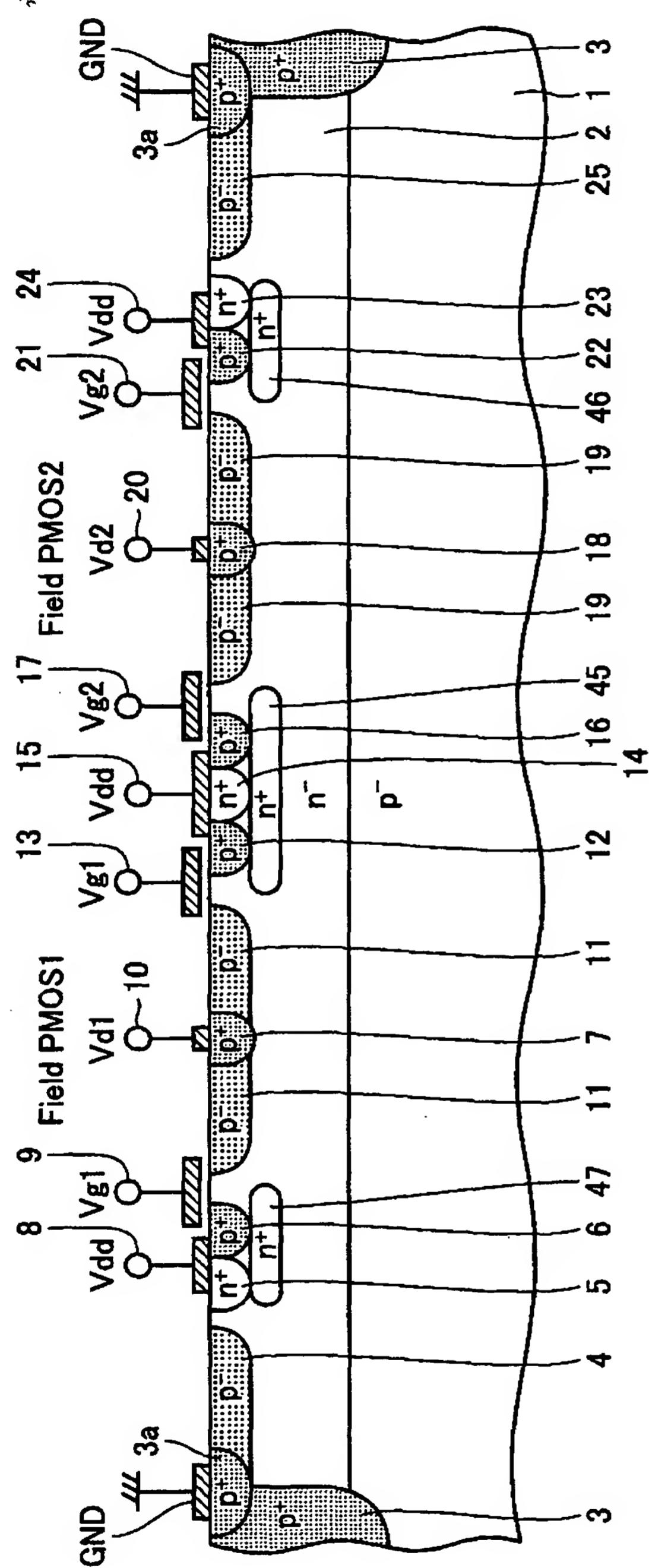
【図13】



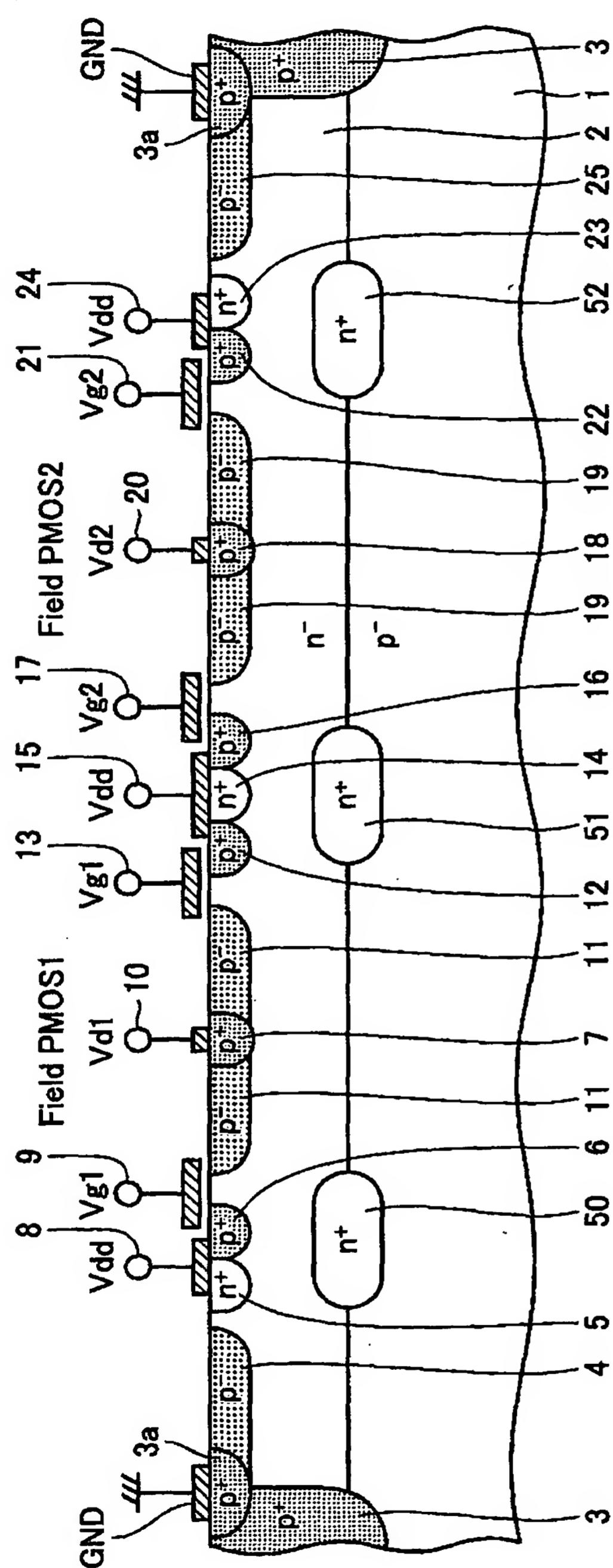
〔図14〕



〔図15〕



〔図16〕



【書類名】 要約書

【要約】

【課題】 半導体基板の主表面に対して平行な方向における面積を小さくするこ
とが可能な半導体装置を提供する。

【解決手段】 ラッチ回路のハイサイドスイッチとしてのフィールドPMOS 1
とフィールドPMOS 2との間の領域には、ソース電極 V_{dd} 1 5が形成されてい
る。このラッチ回路は、2つのハイサイドスイッチのうちいずれか一方の下側が
完全に空乏化された状態で使用される。このソース電極 V_{dd} に接続された P^+ 型
不純物拡散領域 1 2、 N^+ 型不純物拡散領域 1 4 および P^+ 型不純物拡散領域 1 6
が、フィールドPMOS 1とフィールドPMOS 2とで共用されている。

【選択図】 図 1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社